

(11)Publication number : 09-034395

(43)Date of publication of application : 07.02.1997

(51)Int.Cl. G09G 3/20
G02F 1/133
G09G 3/36

(21)Application number : 07-180430

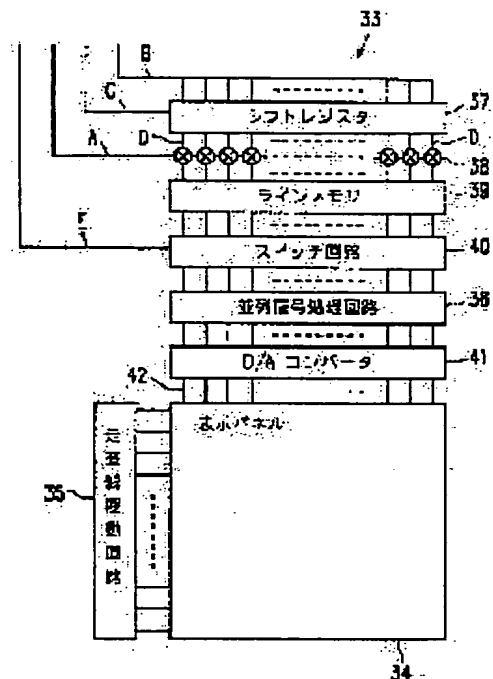
(71)Applicant : SHARP CORP

(22)Date of filing : 17.07.1995

(72)Inventor : YAOI YOSHIFUMI
ONO EIZO**(54) DISPLAY DRIVING DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide an image display signal processing circuit low in power consumption.

SOLUTION: The circuit which has been necessary to distribute and rearrange image display signals in the conventional parallel signal processing circuit can be made unnecessary by installing a signal processing section 36 which improves visibility for high frequency elimination, etc., by arithmetic processing next to a line memory 39 constituting a pixel signal distributing section via a switching circuit 40. Since the image display signals which have been parallelly processed at the parallel signal processing section 36 succeeding to the pixel signal distributing section are each subjected to arithmetic processing without being clock-controlled successively and then transferred to a D/A converter 41, a high frequency clock signal generating circuit which has occupied a large portion of power consumption in the conventional signal processing section was made unnecessary, allowing a display driving device to be drastically lowered in power consumption.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In a display drive which supplies a pixel display signal in parallel and carries out display

driving for every picture element part of this lengthwise direction corresponding to a picture element part of this transverse direction among picture element parts which are provided in a lengthwise direction and a transverse direction, respectively, and constitute a picture, [two or more] A pixel display signal between a pixel signal distribution part distributed in parallel and each signal wire connected for every picture element part of this lengthwise direction among picture element parts provided in this lengthwise direction and a transverse direction, respectively so that it may correspond for every picture element part of this lengthwise direction, respectively, [two or more] A display drive which provided in parallel a signal processing part which does data processing of this pixel display signal, and improves visibility. [Claim 2] In a display drive which supplies a pixel display signal in parallel and carries out display driving for every picture element part of this lengthwise direction corresponding to a picture element part of this transverse direction among picture element parts which are provided in a lengthwise direction and a transverse direction, respectively, and constitute a picture, [two or more] A pixel signal distribution part which distributes a compression pixel display signal in parallel so that it may correspond for every picture element part of this lengthwise direction, respectively, A signal elongation processing part which carries out elongation processing of the compression pixel display signal distributed by this pixel signal distribution part. It has a parallel-signal treating part which carries out data processing of the pixel display signal which carried out elongation processing in this signal elongation processing part, and improves visibility. A display drive which connected an outgoing end of this parallel-signal treating part to each signal wire connected to this lengthwise direction and a transverse direction for every picture element part of this lengthwise direction among picture element parts in which more than one were provided, respectively, respectively.

[Claim 3] The display drive according to claim 1 or 2 considered as composition to which said signal processing part carries out a function operation which makes an input pixel status signal a variable with the same function of a smoothing filter for high frequency component removal about all the picture element parts.

[Claim 4] The display drive according to claim 1 or 2 considered as composition which said signal processing part generates a new pixel display signal to the mid-position between these input pixel status signals by carrying out interpolation processing of between adjoining input pixel status signals, and supplies a this generated pixel display signal to a signal wire between these input pixel display status signals.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display drive which displays a picture on a liquid crystal display etc.

[0002]

[Description of the Prior Art]Drawing 7 is a block diagram showing the example of composition of the conventional display.

[0003]In drawing 7, the memory storage 2 to which the bus wiring 1 in a system connected to other circuits which control a system is connected stores the image display signal inputted from the bus wiring 1 in a system. The digital disposal circuit 3 where this memory storage 2 is connected via a signal wire carries out data processing of the image display signal transmitted from the memory storage 2 one by one, and carries out signal processing. This digital disposal circuit 3 supplies an image display signal to each signal wire connected for every pixel of a lengthwise direction, and writes the signal line driving circuit 4 connected via the signal wire a in each picture element part of the display panel 5. It is connected to the horizontal scanning line connected for every picture element part of the transverse direction of the display panel 5, and for every picture element part of the lengthwise direction corresponding to the picture element part of the scanned transverse direction, a pixel display signal will be supplied in parallel and display driving of the scanning line driving circuit 6 will be carried out. A display panel drive circuit is constituted by these signal line driving circuits 4 and the scanning line driving circuit 6.

[0004]The above-mentioned composition explains the operation hereafter.

[0005]First, from the bus wiring 1 in a system, the image display signal inputted into the system through the bus wiring 1 in a system is inputted into the memory storage 2, and is stored. When this display displays an image display signal on the display panel 5, the image display signal stored in the memory storage 2 is read, and it transmits to the digital disposal circuit 3 through a signal wire. Signal processing, such as spatial filtering and interpolation coding, is performed in the digital disposal circuit 3, and after the transmitted image display signal is changed into the image display signal for constituting the better picture of visibility, it is inputted into the signal line driving circuit 4 through the signal wire a. The image display signal inputted into this signal line driving circuit 4 writes in and displays an image display signal on the picture element part of the lengthwise direction corresponding to the picture element part of the transverse direction where the horizontal scanning line was scanned and the display panel 5 was scanned by the scanning signal from the scanning line driving circuit 6. One by one, this image display signal is put in block to the display panel 5 in which the horizontal scanning line is scanned by the scanning line driving circuit 6 by one horizontal scanning line, and is inputted into it.

[0006]Here, in the digital disposal circuit 3, signal processing must be performed by within a time [which is demanded in order to display the image display signal transmitted from the memory storage 2 on the display panel 5], and it must transmit to the signal line driving circuit 4 via the signal wire a. It must stop therefore, having to operate the digital disposal circuit 3 at a high speed more as a pixel number becomes highly minute and a pixel number increases.

[0007]Next, the conventional example in the signal line driving circuit 4 which writes an image display signal in the display panel 5 is explained.

[0008]Drawing 8 is a block diagram showing the example of composition of the signal line driving circuit 4 of drawing 7.

[0009]In drawing 8, the shift register 11 in the signal line driving circuit 4 where the clock pulse entrance cable b and the start pulse signal input lines c are connected, Operation of the shift register 11 is controlled by the clock pulse from the clock pulse entrance cable b, and the inside of the shift register 11 is transmitted to the start pulse signal from the start pulse signal input lines c. Each analog switch 12 to which the signal wire a and the output line d from each stage of the shift register 11 which are entrance cables of an image display signal are connected is connected to the line memory 13, It operates sequentially with the output from each stage of the shift register 11, and the image display signal inputted from the signal wire a is distributed to the line memory 13. The switching circuit 14 where the pulse signal entrance cable e is connected with this line memory 13 is connected to the digital/analog converter (henceforth a D/A converter) 15, With the pulse signal from the pulse signal entrance cable e, the switching circuit 14 is made into switch-on, the digital image display signal for one horizontal scanning line memorized by the line memory 13 is put in block, and it transmits to D/A converter 15. Each output stage of this D/A converter 15 is connected to the image display signal input terminal 16 of the display panel 5, respectively.

[0010]The above-mentioned composition explains the operation hereafter.

[0011]First, a clock pulse will be inputted into the shift register 11 from the clock pulse entrance cable b, and the shift register 11 will be in an operating state. If a start pulse is inputted into the shift register 11 from the start pulse signal input lines c, With the shift register 11, it is sent to the next step one by one, an output signal is outputted to the analog switch 12 one by one from the output line d of each stage, and the start pulse makes the analog switch 12 turn at the operating state. Synchronizing with these clock pulses and a start pulse, an image display signal is inputted into the analog switch 12 from the signal wire a. The image display signal inputted from the signal wire a is distributed to the line memory 13 at turn through the analog switch 12 which is an operating state. If the image display signal for one horizontal scanning line is inputted into the line memory 13, A pulse signal will be inputted into the switching circuit 14 from the signal wire e, the switching circuit 14 will be in switch-on, and the image display signal currently stored in the line memory 13 is transmitted to D/A converter 15, and is changed into an analog image status signal. Then, this analog image status signal will be inputted and displayed on each picture element part which constitutes the picture of the display panel 5 respectively through the signal input terminal 16.

[0012]

[Problem(s) to be Solved by the Invention]About the above-mentioned conventional image display standard, the pixel number was 640x480, and frame frequency was about 60 Hz. For example, in order to remove [picture / based on the conventional specification] the high frequency component of a noise, when the smoothing filter shown in the following formula (several 1) is used, a total of 27 data processing of 24 summing processings and three multiplication processings is needed about 1 pixel.

[0013]

[Equation 1]

$$f(i,j) = g(i,j) * M(i,j) \quad \dots \text{式(数1)}$$

但し、 (i,j) : 位置 (i,j) における画素値

*: 行列 $M(i,j)$ の要素の値に従って位置 (i,j) を中心とする25画素の画素値に重み付けを行った後に、その和を求め、新たに位置 (i,j) の画素値とする関数

$$g(i,j) = \begin{bmatrix} (i-2,j+2) & (i-1,j+2) & (i,j+2) & (i+1,j+2) & (i+2,j+2) \\ (i-2,j+1) & (i-1,j+1) & (i,j+1) & (i+1,j+1) & (i+2,j+1) \\ (i-2,j) & (i-1,j) & (i,j) & (i+1,j) & (i+2,j) \\ (i-2,j-1) & (i-1,j-1) & (i,j-1) & (i+1,j-1) & (i+2,j-1) \\ (i-2,j-2) & (i-1,j-2) & (i,j-2) & (i+1,j-2) & (i+2,j-2) \end{bmatrix}$$

$$M(i,j) = \frac{1}{35} \begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ 1 & 2 & 2 & 2 & 1 \\ 1 & 2 & 3 & 2 & 1 \\ 1 & 2 & 2 & 2 & 1 \\ 1 & 1 & 1 & 1 & 1 \end{bmatrix}$$

[0014]Therefore, as described above, when a pixel number tends to process with the frame frequency of about 60 Hz by 640x480, the performance which processes 1.49 giga/s of operation instruction from $27 \times 640 \times 480 \times 3 \times 60 = 1.49 \times 10^9$ is needed. However, in order to have produced the circuit which has the performance which processes 1.49 giga/s of operation instruction,

expensive high speed art including the generation circuit of a high-frequency clock was needed. It became very big also about the power consumption in an arithmetic processing section. Although the image display standard higher definition than the conventional specification is proposed these days, in these standards, as for frame frequency, the specification of about 60 Hz is demanded for the pixel number by 1280x1080. Therefore, if it tries to perform processing equivalent to signal processing conventionally performed by the picture of specification by the picture of highly minute specification, In the digital disposal circuit of the picture of highly minute specification, one the speed of 4.5 times of this will be conventionally required compared with it of the picture of specification from $(1280 \times 1080) / (640 \times 480) = 4.5$. That is, the performance which processes about 6.72 giga/s of operation instruction is required. However, in order to have produced the circuit which has the performance which processes about 6.72 giga/s of operation instruction, still more advanced high speed art was needed compared with the conventional specification, and increase of power consumption had become a much more serious problem. [0015]The arithmetic processing circuit of the number of ** is provided as a method of reducing data-processing speed and power consumption, keeping such a signal processing speed constant, and there is a method of making an image display signal process in parallel in each arithmetic processing circuit.

[0016]Hereafter, the effect by this parallelization is explained in detail.

[0017]If it carries out in the capacity C in a circuit which must carry out charge and discharge, the operation power voltage V of a circuit, and clock frequency f, the power consumption accompanying the charge and discharge in a circuit can be approximately expressed with $C \cdot V^2$ and f. For example, the low power consumption of $1/m^2$ can be attained, keeping computing speed constant, if a clock frequency is set to $1/n$ by setting power supply voltage to $1/m$ instead of setting the degree of parallel to n (n and m are positive constants) (however, capacity is assumed to be nC). Namely, if it is possible to raise the degree of parallel, suppressing the increase in the capacity accompanying parallelization to the minimum, the more it raises the degree of parallel, the more power consumption can be reduced.

[0018]An example of parallelization of the signal processing part by such a conventional method is shown in drawing 9.

[0019]In drawing 9, the memory storage 22 to which the bus wiring 21 in a system connected to other circuits which control a system is connected stores the image display signal from the bus wiring 21 in a system. The parallel-signal processing circuit 23 where this memory storage 22 is connected via a signal wire carries out signal processing of the image display signal transmitted to the parallel-signal processing circuit 23 from the memory storage 22 which memorized the image display signal in parallel. The signal line driving circuit 24 where this parallel-signal processing circuit 23 is connected is connected to the display panel 25, The scanning line driving circuit 26 is also connected to the display panel 25, with the scanning signal from the scanning line driving circuit 26, a horizontal scanning line is scanned, and the image display signal inputted into the signal line driving circuit 24 writes in and displays an image display signal on each pixel of the display panel 25.

[0020]Thus, according to the above-mentioned conventional method, about the signal-processing operation part of the parallel-signal processing circuit 23, the more it raises the degree of parallel, become possible to reduce computing speed, and, the more can reduce power consumption in connection with it, but. About distribution and the circuit for carrying out a rearrangement, the more it raises the degree of parallel contrary to signal-processing operation part, a high speed must be operated more and, the more the power consumption increases an image display signal. About the high-frequency clock which controls the parallel-signal processing circuit 23 which accounts for a big rate in the power consumption of the parallel-signal processing circuit 23. Since the bit rate of the image display signal outputted and inputted by the parallel-signal processing circuit 23 does not change, even if it parallelizes, it cannot reduce frequency and cannot reduce power consumption about a high frequency clock signal generation circuit (not shown).

[0021]This invention solves the above-mentioned conventional problem, and an object of this

invention is to provide the display drive which can realize low power consumption of an image display digital disposal circuit.

[0022]

[Means for Solving the Problem] In a display drive which supplies a pixel display signal in parallel and carries out display driving for every picture element part of this lengthwise direction corresponding to a picture element part of this transverse direction among picture element parts which two or more display drives of this invention are formed in a lengthwise direction and a transverse direction, respectively, and constitute a picture, A pixel display signal between a pixel signal distribution part distributed in parallel and each signal wire connected for every picture element part of this lengthwise direction among picture element parts provided in this lengthwise direction and a transverse direction, respectively so that it may correspond for every picture element part of this lengthwise direction, respectively, [two or more] A signal processing part which does data processing of this pixel display signal, and improves visibility is provided in parallel, and the above-mentioned purpose is attained by that.

[0023] In a display drive which supplies a pixel display signal in parallel and carries out display driving for every picture element part of this lengthwise direction corresponding to a picture element part of this transverse direction among picture element parts which two or more display drives of this invention are formed in a lengthwise direction and a transverse direction, respectively, and constitute a picture, A pixel signal distribution part which distributes a compression pixel display signal in parallel so that it may correspond for every picture element part of this lengthwise direction, respectively, A signal elongation processing part which carries out elongation processing of the compression pixel display signal distributed by this pixel signal distribution part, It has a parallel-signal treating part which carries out data processing of the pixel display signal which carried out elongation processing in this signal elongation processing part, and improves visibility, An outgoing end of this parallel-signal treating part is connected to each signal wire connected to this lengthwise direction and a transverse direction for every picture element part of this lengthwise direction among picture element parts in which more than one were provided, respectively, respectively, and the above-mentioned purpose is attained by that.

[0024] A signal processing part [in / preferably / a display drive of this invention], A function operation which makes a variable this input pixel status signal and an input pixel status signal which adjoins this input display pixel signal about each input pixel status signal is performed with the same function about all the pixels, and it has composition which changes this input pixel status signal into each result of an operation. For example, a signal processing part in a display drive of this invention does a function operation which makes an input pixel status signal a variable about all the picture element parts in composition performed, for example with the same function of a smoothing filter for high frequency component removal. By carrying out interpolation processing of between adjoining input pixel status signals, a signal processing part in a display drive of this invention generates a new pixel display signal to the mid-position between these input pixel status signals, and considers a this generated pixel display signal as composition supplied to a signal wire between these input pixel status signals.

[0025] The above-mentioned composition explains the operation hereafter.

[0026] In this invention, by providing a signal processing part in parallel between a pixel signal distribution part and each signal wire, In [in the conventional parallel-signal treating part, can make unnecessary distribution and a circuit for carrying out a rearrangement for a required image display signal, and] a parallel-signal treating part of the next step of a pixel signal distribution part, Since an image display signal inputted in parallel is transmitted to a D/A converter after data processing is performed without carrying out clock control one by one, respectively for example, Large low power consumption of a display drive and simplification of part mark are attained by the ability to make unnecessary a high frequency clock signal generation circuit which controls a signal processing part which had accounted for a big rate in power consumption of the conventional signal processing part.

[0027] In [although degradation of image quality is not escaped by performing efficient compression in an image display signal] this invention, Since a parallel-signal treating part which

restores image quality is provided after a signal elongation processing part of the next step of a pixel signal distribution part, also in an image display signal with which efficient compression was performed, it is low power consumption, and where low cost is maintained, a picture [be / no degradation of image quality] with good visibility is acquired.

[0028] If a high frequency component of a noise will become removable if a signal processing part is constituted, for example from a smoothing filter, and interpolation processing based on a peripheral pixel generates a new pixel display signal, It becomes possible to increase a pixel row of the part and a lengthwise direction, a high definition picture is acquired, and a picture with good visibility is acquired.

[0029]

[Embodiment of the Invention] Hereafter, the embodiment of this invention is described.

[0030] (Embodiment 1) Drawing 1 is a block diagram showing the composition of the display which carries the display driving circuit of Embodiment 1 of this invention.

[0031] In drawing 1, the memory storage 32 to which the bus 31 in a system for data transfer was connected stores the image display signal from the bus 31 in a system. The signal line driving circuit 33 where this memory storage 32 is connected via the signal wire A is connected to the signal wire of the display panel 34, It is connected to the scanning line of the display panel 34, and with the scanning signal from the scanning line driving circuit 35, a horizontal scanning line is scanned, the image display signal inputted into the signal line driving circuit 33 via the signal wire A writes an image display signal in each pixel of the display panel 34, and the scanning line driving circuit 35 displays it on it. In this signal line driving circuit 33, in order to remove the high frequency component of a noise, the parallel-signal processing circuit 36 which performs parallel-signal data processing using the smoothing filter shown in the above-mentioned formula (several 1) is formed, data processing of the pixel display signal is carried out, and visibility is improved.

[0032] Thus, the parallel-signal processing circuit 36 is formed in the signal line driving circuit 33, It is connected to the image display signal input terminal 42 in which the output obtained from the parallel-signal processing circuit 36 has been arranged in parallel for every signal wire to which all of those with several ** and them were connected for every pixel of the lengthwise direction of the display panel 34, respectively.

[0033] Drawing 2 is a block diagram showing the composition of the signal line driving circuit 33 of drawing 1.

[0034] In drawing 2, the shift register 37 in the signal line driving circuit 33 where the clock pulse entrance cable B and the start pulse signal input lines C are connected, Operation of the shift register 37 is controlled by the clock pulse from the clock pulse entrance cable B, and the inside of the shift register 37 is transmitted to the start pulse signal from the start pulse signal input lines C. Each analog switch 38 to which the signal wire A and the output line D from each stage of the shift register 37 which are entrance cables of an image display signal are connected is connected to the line memory 39, It operates sequentially with the output from the output line D of each stage of the shift register 37, and the image display signal inputted from the signal wire A is distributed to the line memory 39. A pixel signal distribution part is constituted by these shift registers 37, each analog switch 38, and the line memory 39, and a pixel display signal is distributed in parallel so that it may correspond for every picture element part of a lengthwise direction, respectively.

[0035] The switching circuit 40 where the pulse signal entrance cable E is connected with this line memory 39 is connected to the data-smoothing circuit as the parallel-signal processing circuit 36, The switching circuit 40 is made into switch-on with the pulse signal from the pulse signal entrance cable E, The digital image display signal for one horizontal scanning line memorized by the line memory 39 is collectively transmitted to the parallel-signal processing circuit 36, parallel-signal data processing of the pixel display signal is carried out in the parallel-signal processing circuit 36, and visibility is improved.

[0036] Each output stage of D/A converter 41 to which this parallel-signal processing circuit 36 is connected is connected to the image display signal input terminal 42 of the display panel 34, respectively, After performing parallel-signal data processing in the parallel-signal processing

circuit 36, a digital image status signal is changed into an analog image status signal by D/A converter 41, and the signal wire of the display panel 34 is supplied as a status signal.

[0037]At this embodiment, 1 pixel of gradation was considered as the composition which uses 256 steps, i.e., an 8-bit image display signal, with the pixel number 1280x1080 as the display panel 34. Frame frequency is 60 Hz.

[0038]The above-mentioned composition explains the operation hereafter.

[0039]First, a clock pulse will be inputted from the signal wire B, and the shift register 37 will be in an operating state. If a start pulse is inputted from the signal wire C, with the shift register 37, it is sent to the next step one by one, an output signal is outputted one by one from the output line D, and the start pulse makes the analog switch 38 turn at the operating state. Synchronizing with these clock pulses and a start pulse, an image display signal is inputted from the signal wire A. The image display signal inputted from this signal wire A is distributed to the line memory 39 at turn through the analog switch 38 which is an operating state. Thus, if the image display signal for one horizontal scanning line is inputted into the line memory 39, a pulse signal will be inputted into the switching circuit 40 from the signal wire E, it will be in switch-on, and the image display signal currently stored in the line memory 39 will be transmitted to the parallel-signal processing circuit 36 in parallel. Thus, the image display signal sent for a part for every one horizontal scanning line, After it is transmitted to D/A converter 41 after data smoothing shown in the above-mentioned formula (several 1) in parallel in the parallel-signal processing circuit 36 was performed, and being changed into an analog image status signal, it is inputted into the display panel 34 through the signal input terminal 42.

[0040]Thus, in the parallel-signal processing circuit of drawing 9, distribution and the circuit for carrying out a rearrangement can be made unnecessary for the required image display signal by forming the parallel-signal processing circuit 36 in parallel with the image display stimulus part of the display panel 34. The image display signal inputted in parallel in this parallel-signal processing circuit 36, Since it is transmitted to D/A converter 41 after data processing is performed without carrying out clock control one by one respectively, the high frequency clock signal generation circuit which controls the image display digital disposal circuit which had accounted for the big rate in the power consumption of the conventional image display digital disposal circuit can be made unnecessary.

[0041]Therefore, in this embodiment, the computing speed in the parallel-signal processing circuit 36 was able to be reduced to the abbreviation 1/1000 compared with the case where sequential processing is performed. Thereby, in the conventional example, power supply voltage which was 3.3V was able to be set to 1.1V. The high frequency clock signal generation circuit which controls distribution, and the circuit and image display digital disposal circuit for carrying out a rearrangement for an image display signal was able to be made unnecessary. As a result, compared with the conventional digital disposal circuit, about 1/10 of power consumption of the parallel-signal processing circuit 36 of this embodiment was set to 10. Thereby, the power consumption of a display and the reduction in which cost is still more drastic were attained.

[0042](Embodiment 2) Drawing 3 is a block diagram showing the composition of the display which carries the display driving circuit of Embodiment 2 of this invention, attaches the same numerals to what does so the same operation and effect as the members forming of drawing 1, and omits the explanation.

[0043]In drawing 3, the parallel-signal processing circuit 52 which constitutes a new pixel and acquires a higher definition picture is formed by performing interpolation processing based on a surrounding pixel in the signal line driving circuit 51. By, for example, carrying out interpolation processing of between adjoining input pixel status signals, this parallel-signal processing circuit 52 generates a new pixel display signal to the mid-position between this input pixel status signal, and supplies the generated pixel display signal to it at the signal wire located between input pixel display status signals.

[0044]At this embodiment, 1 pixel of gradation used what uses 256 steps, i.e., an 8-bit image display signal, with the pixel number 1280x1080 as the display panel 54. Frame frequency is 60 Hz. Convolution arithmetic operation was used as an operation for interpolation processing.

[0045]This convolution arithmetic operation is explained.

[0046]Namely, in [shall carry out interpolation processing to the order of a y direction and a x direction, and] the parallel-signal processing circuit 52, Respectively the brightness information of each pixel in the position (x, y) of red (R) green (G) blue (B) $f_R(x, y)$, $f_G(x, y)$ and $f_B(x, y)$ (x — the integers from 0 to 1279.) y is the integers from 0 to 1079, and the brightness information after the interpolation processing about a y direction $g_R(x, y')$, $g_G(x, y')$, and $g_B(x, y')$ (y') They are the integers from zero to 2159, and the brightness information after the interpolation processing about a x direction $h_R(x', y')$, $h_G(x', y')$, and $h_B(x', y')$ (x') if it is the integers from zero to 2559 — $f_R(x, y)$ — the following — a formula (several 2) — it calculates.

[0047]

[Equation 2]

$$\left\{ \begin{array}{l} \bullet y' = 0, 2, 4 \dots 2158 \\ g_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot f_R(x, \frac{y'}{2} - l) \\ \bullet y' = 1, 3, 5 \dots 2159 \\ g_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot f_R(x, \frac{(y'-1)}{2} - l) \end{array} \right. \dots \text{式(数 2)}$$

[0048]after calculating this formula (several 2) — further — the following — a formula (several 3) — it calculates.

[0049]

[Equation 3]

$$\left\{ \begin{array}{l} \bullet x' = 0, 2, 4 \dots 2558 \\ h_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot g_R(\frac{x'}{2} - l, y') \\ \bullet x' = 1, 3, 5 \dots 2559 \\ h_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot g_R(\frac{(x'-1)}{2} - l, y') \end{array} \right. \dots \text{式(数 3)}$$

[0050]This formula (several 3) is calculated and interpolation processing is completed.

[0051]Calculation with the same said of $f_G(x, y)$ and $f_B(x, y)$ is performed.

[0052]If a_{2l} shown in a formula (several 2) and a formula (several 3) considers it as $2l=i$, it expresses the i-th of the value which quantized the function shown in a formula (several 4).

[0053]

[Equation 4]

$$D(t) = \sqrt{2} \sum_{k=-\infty}^{\infty} (-3+2\sqrt{2})^{|k|} \psi(t-k) \quad \dots \text{式(数 4)}$$

$$t=i/2 \quad (i=-N, \dots, 0, \dots, N)$$

$$\psi(t) = \begin{cases} \frac{1}{2} \left(t + \frac{3}{2}\right)^2 & -\frac{3}{2} \leq t \leq -\frac{1}{2} \\ \frac{3}{4} - t^2 & -\frac{1}{2} \leq t \leq \frac{1}{2} \\ \frac{1}{2} \left(t - \frac{3}{2}\right)^2 & \frac{1}{2} \leq t \leq \frac{3}{2} \\ 0 & \text{Other range} \end{cases}$$

[0054] In this embodiment, it was referred to as $N=6$ in the above-mentioned formula (several 2) and the formula (several 3) about the constant N showing the number of reference pixels in the case of interpolation processing.

[0055] Drawing 4 is a block diagram showing the composition of the signal line driving circuit 51 of drawing 3, attaches the same numerals to what does so the same operation and effect as the members forming of drawing 2, and omits the explanation.

[0056] In drawing 4, an interpolation processing circuit as the parallel-signal processing circuit 52 where the switching circuit 40 is connected is connected to D/A converter 53. Each output stage of this D/A converter 53 is connected to the image display signal input terminal 55 of the display panel 54, respectively. The switching circuit 40 transmits in parallel a digital image display signal for one horizontal scanning line outputted from the line memory 39 to the parallel-signal processing circuit 52. It bundles up in the parallel-signal processing circuit 52, interpolation processing is performed, and a signal wire which changes a digital image display signal into an analog image status signal, and is connected for every pixel of a lengthwise direction of the display panel 54 as a status signal is supplied, respectively.

[0057] The above-mentioned composition explains the operation hereafter.

[0058] First, a clock pulse will be inputted from the signal wire B, and the shift register 37 will be in an operating state. If a start pulse is inputted from the signal wire C, with the shift register 37, it is sent to the next step one by one, an output signal is outputted one by one from each output line D of the shift register 37, and a start pulse makes each analog switch 38 turn at an operating state. Synchronizing with these clock pulses and a start pulse, an image display signal is inputted from the signal wire A. An image display signal inputted from this signal wire A lets in turn the analog switch 38 which is an operating state pass, and is distributed to the line memory 39. If an image display signal for one horizontal scanning line is inputted into the line memory 39, a pulse signal will be inputted into the switching circuit 40 from the signal wire E, the switching circuit 40 will be in switch-on, and an image display signal currently stored in the line memory 39 will be transmitted to the parallel-signal processing circuit 52. Thus, after interpolation processing by convolution arithmetic operation shown in a formula (several 2) and a formula (several 3) above-mentioned in the parallel-signal processing circuit 52 is performed, an image display signal sent for a part for every one horizontal scanning line is transmitted to D/A converter 53, and is changed into an analog image status signal. Then, image display of this analog image status signal is inputted and carried out to each pixel of the display panel 54 through the signal input terminal 55.

[0059] Therefore, in this embodiment, computing speed in the parallel-signal processing circuit 52 was able to be reduced to the abbreviation $1/1000$ compared with a case where sequential processing is performed. Thereby, in a conventional example, power supply voltage which was 3.3V was able to be set to 1.1V. A high frequency clock signal generation circuit which controls distribution, and a circuit and the parallel-signal processing circuit 52 for carrying out a rearrangement for an image display signal was able to be made unnecessary. As a result,

compared with the conventional parallel-signal processing circuit, about 1/10 of power consumption of a parallel-signal processing circuit of this embodiment was set to 10. Thereby, drastic reduction of low power consumption of a display and also cost was attained.

[0060](Embodiment 3) Drawing 5 is a block diagram showing composition of a display which carries a display driving circuit of Embodiment 3 of this invention, attaches same numerals to what does so the same operation and effect as members forming of drawing 1, and omits the explanation.

[0061]In the signal line driving circuit 61 where a compressed image display signal is inputted via the signal wire A in drawing 5, The signal elongation processing circuit 62 which elongates a compressed signal, and this signal elongation processing circuit 62 are connected, and the parallel-signal processing circuit 36 which performs spatial filtering processing shown in the above-mentioned Embodiment 1 is formed.

[0062]At this embodiment, 1 pixel of gradation used 256 steps, i.e., a thing which uses an 8-bit image display signal, with the pixel number 1280x1080 as the display panel 63. Frame frequency is 60 Hz. A vector quantization method was used as a compression method of an image display signal.

[0063]Hereafter, an outline of a compression algorithm is shown.

[0064]First, 16 dimensional-vector $X = (x_0, x_1, x_2 \dots x_{15})$ expressing a block of $4 \times 4 = 16$ pixels, 256 16-dimensional code vector $C_k =$ currently prepared beforehand ($c_0, c_1, c_2 \dots c_{255}$). It asks for whether it is the closest to which of however, ($k = 0, 1, \dots, 255$) by calculating distance $\sum (x_i - c_i)^2$ (however, $i = 0, 1, \dots, 15$) between two vectors ($X - C_k$). Next, 16-pixel one vector is approximated by the nearest code vector. Therefore, picture information (16 pixels \times 8 = 128 bits) will be expressed by the 8-bit number for identifying 256 code vectors, and attains 1/16 of compression.

[0065]Drawing 6 is a block diagram showing composition of the signal line driving circuit 61 of drawing 5, attaches same numerals to what does so the same operation and effect as members forming of drawing 2, and omits the explanation.

[0066]The parallel-signal processing circuit 36 where the signal elongation processing circuit 62 where the switching circuit 40 is connected, and this signal elongation processing circuit 62 are connected in drawing 6 is connected to D/A converter 64, Each output stage of this D/A converter 64 is connected to the image display signal input terminal 65 of the display panel 63, respectively, The switching circuit 40 transmits a digital-image-compression signal for one horizontal scanning line outputted from the line memory 39 to the signal elongation processing circuit 62, Carry out signal extension and return an image display signal compressed with the above-mentioned algorithm in the signal elongation processing circuit 62, and further, transmit this to the parallel-signal processing circuit 36 in parallel, and it bundles up in the parallel-signal processing circuit 36, In order to improve visibility except for a high frequency component of a noise, data smoothing is performed, and a signal wire which changes a digital image display signal into an analog image status signal, and is connected to each pixel of the display panel 63 as a status signal is supplied, respectively.

[0067]The above-mentioned composition explains the operation hereafter.

[0068]First, a clock pulse will be inputted from the signal wire B, and the shift register 37 will be in an operating state. If a start pulse is inputted from the signal wire C, with the shift register 37, it is sent to the next step one by one, an output signal is outputted one by one from the output line D, and a start pulse makes each analog switch 38 turn at an operating state. Synchronizing with these clock pulses and a start pulse, an image display signal compressed from the signal wire A is inputted. A compressed image status signal inputted from this signal wire A lets in turn the analog switch 38 which is an operating state pass, and is distributed to the line memory 39. If an image display signal for one horizontal scanning line is inputted into the line memory 39, a pulse signal will be inputted from the signal wire E, the switching circuit 40 will be in switch-on, and an image display signal currently stored in the line memory 39 will be transmitted to the signal elongation processing circuit 62. Thus, as for a compressed image status signal

transmitted for a part for every one horizontal scanning line from the line memory 39, the following elongation processings are performed in the signal elongation processing circuit 62. [0069]First, the 8-bit compressed image status signal for identifying 256 code vector C_k is inputted into the signal elongation processing circuit 62 320 pieces to a part for one horizontal scanning line, i.e., a horizontal scanning line direction. The signal elongation processing circuit 62 is constituted by 64 units, and each unit is constituted so that five data equivalent to signal-input-lines 20 duty to the signal indication panel 63, i.e., $4 \times 4 = 16$ picture element block, may be processed. 4x which 64 units of this signal elongation processing circuit 62 operate in parallel, and each five picture element blocks search a code vector within each unit, and corresponds — a code vector for $4 = 16$ pixels is obtained.

[0070]However, a picture compressed / elongated by the above-mentioned algorithm is accompanied by big loss to an original image. Especially a high frequency noise component looked at by picture after extension serves as hindrance with human being's big visibility. Then, the parallel-signal processing circuit 36 is established in the next step, and a smoothing filter removes a high frequency noise component.

[0071]First, an image display signal which performed elongation processing in the signal elongation processing circuit 62 is transmitted to the parallel-signal processing circuit 36, as data smoothing shown in the above-mentioned formula (several 1) in this parallel-signal processing circuit 36 shows Embodiment 1, it is carried out in parallel to the display panel input terminal 65, and a high frequency noise component is removed. After this, after an image display signal is transmitted to D/A converter 64 and changed into an analog image status signal, image display of it is inputted and carried out to each pixel of the display panel 63 respectively through the signal input terminal 65.

[0072]In this embodiment, data volume of an image display signal dealt with in the time of image transfer and a drive circuit of an image display device is $1/16$ of a conventional example. Therefore, the number of times of signal wire charge and discharge of a picture display part also decreased to $1/16$, and it became possible to reduce power consumption substantially. Since 64 units perform elongation processing of a compressed image display signal in parallel, computing speed which performs elongation processing can be made into the abbreviation $1/64$ compared with a case where sequential processing is carried out. A circuit which generates a high-frequency clock becomes unnecessary, and low power consumption of the signal elongation processing circuit 62 and also low cost-ization are realized. In [generally, after performing efficient compression do not escape degradation of image quality, but] this embodiment, A picture with good visibility can be acquired in the display panel 63, maintaining low power consumption and low cost also in an image display signal with which efficient compression was performed, since low power consumption and the parallel-signal processing circuit 36 of low cost which restore image quality are provided behind the signal elongation processing circuit 62. In this embodiment, power supply voltage was able to be reduced from 3.3V to 1.1V by reducing data-processing speed of the signal elongation processing circuit 62 and the parallel-signal processing circuit 36 by parallel processing. Thereby, power consumption of a display was able to be reduced to the abbreviation $1/8$ as compared with a conventional example. It was able to reduce substantially also about cost.

[0073]In the above-mentioned Embodiments 1-3, one embodiment of this invention is respectively shown by the above, and the operation of a parallel-signal processing circuit may not adhere to this, and may calculate others. Two or more parallel-signal processing circuits may be put in order in series. It does not matter although a vector quantization method was used in this embodiment also about a compression algorithm used for the above-mentioned Embodiment 3, even if it does not adhere to this and uses other algorithms. It does not adhere to this about composition of a display, and it does not matter even if it adopts other composition.

[0074]

[Effect of the Invention]By providing in parallel the digital disposal circuit which improves visibility between a pixel signal distribution part and each signal wire by the above according to this invention, The circuit for [as for which distribution and a rearrangement carry out a signal at high speed] having been conventionally needed for the parallel-signal processing circuit

becomes unnecessary, Since the degree of parallel of a digital disposal circuit can be enlarged and it becomes unnecessary also about the conventional high-frequency-clock generation circuit, controlling the circuit addition accompanying parallelization to the minimum, The large low power consumption of a display drive is realizable, part mark are simplified further and low cost-ization can be realized.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the composition of the display which carries the display driving circuit of Embodiment 1 of this invention.

[Drawing 2]It is a block diagram showing the composition of the signal line driving circuit 33 of drawing 1.

[Drawing 3]It is a block diagram showing the composition of the display which carries the display driving circuit of Embodiment 2 of this invention.

[Drawing 4]It is a block diagram showing the composition of the signal line driving circuit 51 of drawing 3.

[Drawing 5]It is a block diagram showing the composition of the display which carries the display driving circuit of Embodiment 3 of this invention.

[Drawing 6]It is a block diagram showing the composition of the signal line driving circuit 61 of drawing 5.

[Drawing 7]It is a block diagram showing the example of composition of the conventional display.

[Drawing 8]It is a block diagram showing the example of composition of the signal line driving circuit 4 of drawing 7.

[Drawing 9]It is a figure showing an example of parallelization of the signal processing part by the conventional method.

[Description of Notations]

33, 51, and 61 Signal line driving circuit

34, 54, 63 display panels

36 and 52 Parallel-signal processing circuit

37 Shift register

38 Analog switch

39 Line memory

40 Switching circuit

41, 53, 64 D/A converters

62 Signal elongation processing circuit

[Translation done.]

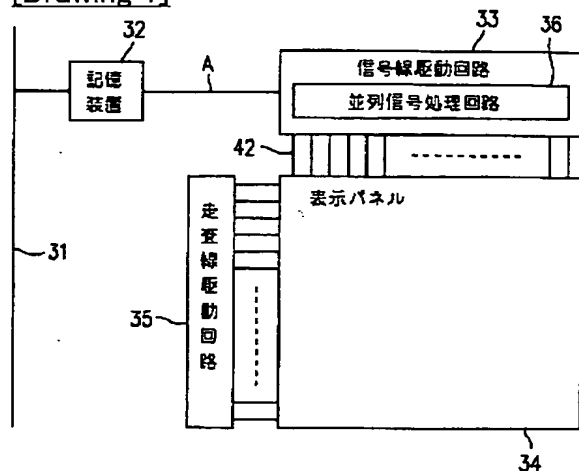
*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

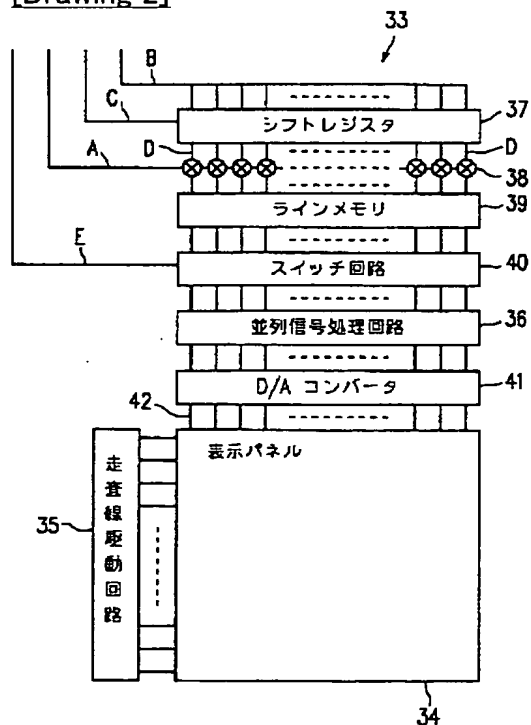
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

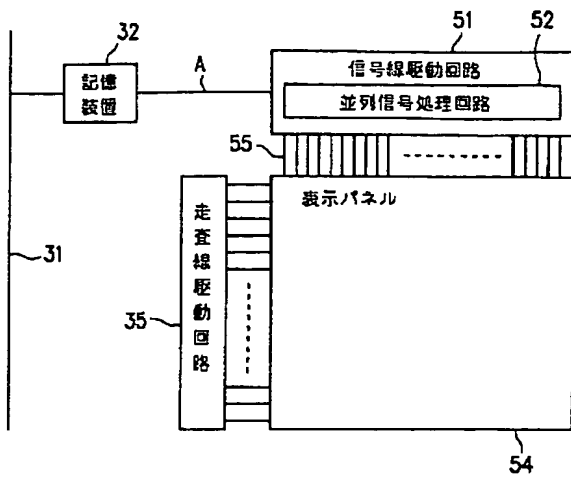
[Drawing 1]



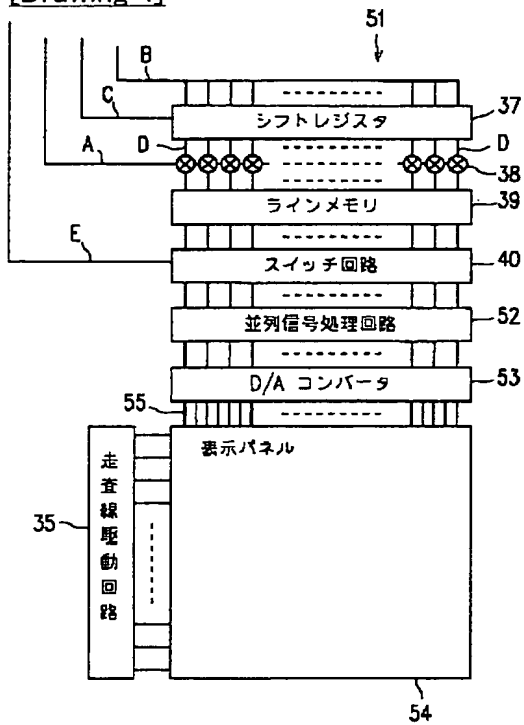
[Drawing 2]



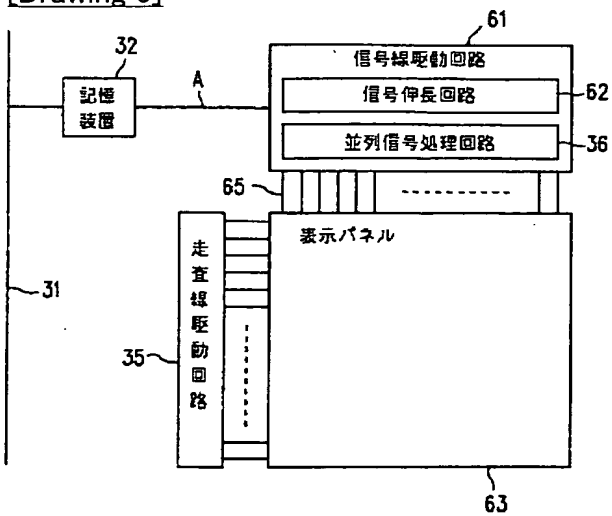
[Drawing 3]



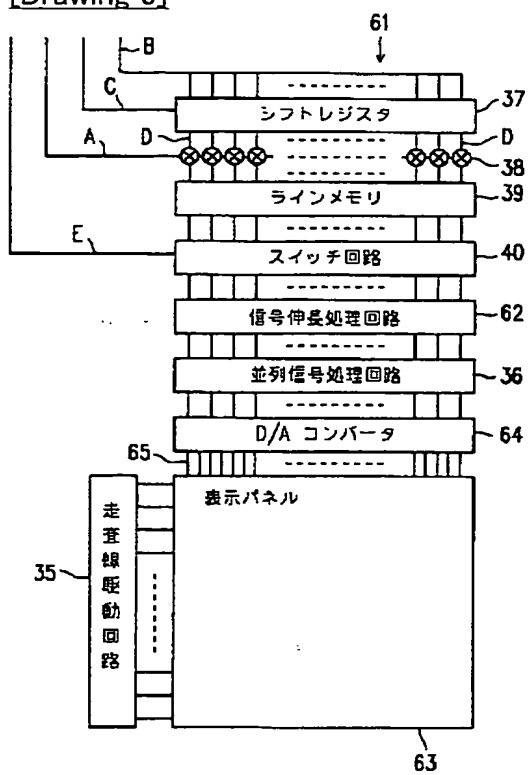
[Drawing 4]



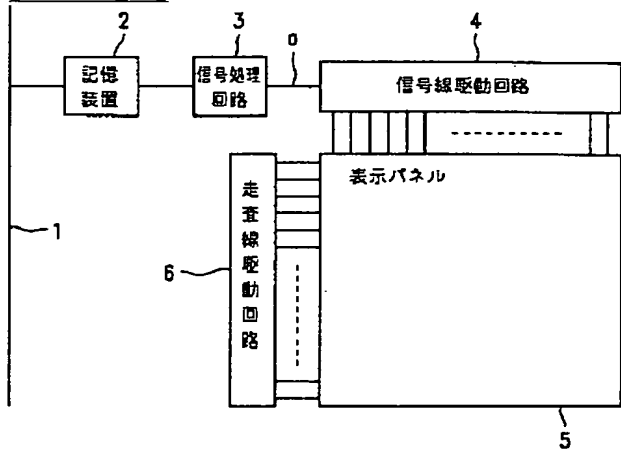
[Drawing 5]



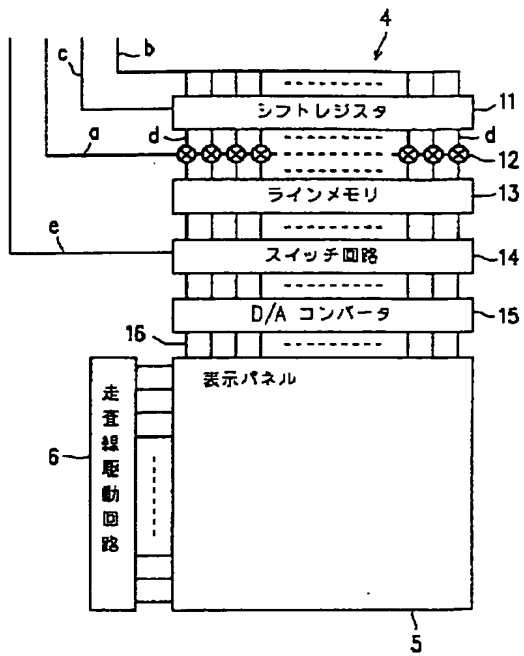
[Drawing 6]



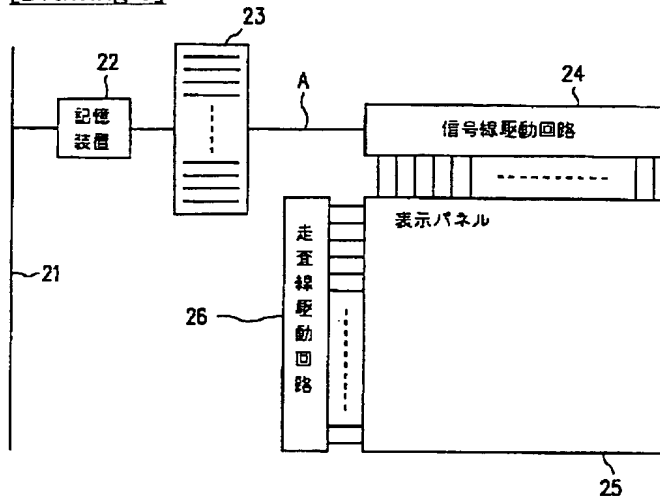
[Drawing 7]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34395

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	Z
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平7-180430

(22) 出願日 平成7年(1995)7月17日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 矢追 善史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 大野 栄三

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

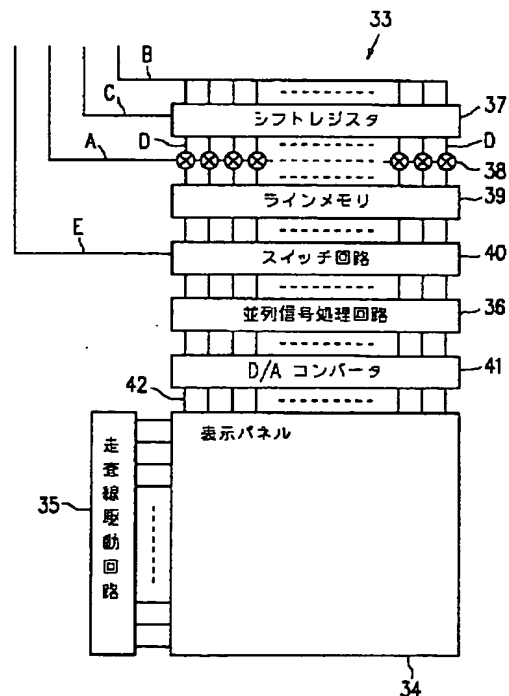
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示駆動装置

(57) 【要約】

【課題】 画像表示信号処理回路の低消費電力化を実現する。

【解決手段】 演算処理をして高周波除去などの視認性を改善する信号処理部36を、画素信号分配部を構成するラインメモリ39の次に、スイッチ回路40を介して並列に設けることにより、従来の並列信号処理部において必要であった画像表示信号を分配・再配列するための回路を不要なものとし、また、画素信号分配部の次段の並列信号処理部において、並列に入力されてきた画像表示信号は、それぞれ順次クロック制御されずに演算処理が行われた後、D/Aコンバータ41に転送されるため、従来の信号処理部の消費電力のなかで大きな割合を占めていた信号処理部を制御する高周波クロック信号発生回路を不要なものとし、表示駆動装置の大幅な低消費電力化が可能となる。



【特許請求の範囲】

【請求項1】 縦方向および横方向にそれぞれ複数設けられて画像を構成する画素部のうち該横方向の画素部に対応する該縦方向の画素部毎に画素表示信号を並列に供給して表示駆動する表示駆動装置において、該縦方向の画素部毎にそれぞれ対応するように、画素表示信号を並列に分配する画素信号分配部と、該縦方向および横方向にそれぞれ複数設けられた画素部のうち該縦方向の画素部毎に接続された各信号線との間に、該画素表示信号を演算処理して視認性を改善する信号処理部を並列に設けた表示駆動装置。

【請求項2】 縦方向および横方向にそれぞれ複数設けられて画像を構成する画素部のうち該横方向の画素部に対応する該縦方向の画素部毎に画素表示信号を並列に供給して表示駆動する表示駆動装置において、該縦方向の画素部毎にそれぞれ対応するように、圧縮画素表示信号を並列に分配する画素信号分配部と、該画素信号分配部で分配した圧縮画素表示信号を伸長処理する信号伸長処理部と、該信号伸長処理部で伸長処理した画素表示信号を演算処理して視認性を改善する並列信号処理部とを備え、該並列信号処理部の出力端をそれぞれ、該縦方向および横方向にそれぞれ複数設けられた画素部のうち該縦方向の画素部毎に接続された各信号線に接続した表示駆動装置。

【請求項3】 前記信号処理部は、入力画素表示信号を変数とする関数演算を全ての画素部について、高周波成分除去用の平滑フィルタの同一関数で行う構成とした請求項1または2記載の表示駆動装置。

【請求項4】 前記信号処理部は、隣接する入力画素表示信号間を補間処理することによって、該入力画素表示信号間の中間位置に新たな画素表示信号を生成し、該生成した画素表示信号を該入力画素表示信号間の信号線に供給する構成とした請求項1または2記載の表示駆動装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、液晶ディスプレイなどに画像を表示する表示駆動装置に関する。

【0002】

【従来の技術】図7は従来の表示装置の構成例を示すブロック図である。

【0003】図7において、システムを制御する他の回路に接続されているシステム内バス配線1が接続される記憶装置2は、システム内バス配線1から入力される画像表示信号を蓄える。この記憶装置2が信号線を介して接続される信号処理回路3は、記憶装置2から転送されてきた画像表示信号を逐次演算処理して信号処理する。この信号処理回路3が信号線aを介して接続される信号線駆動回路4は、縦方向の画素毎に接続された各信号線に画像表示信号を供給して表示パネル5の各画素部に書

き込む。また、走査線駆動回路6は表示パネル5の横方向の画素部毎に接続された水平走査線に接続されており、走査された横方向の画素部に対応する縦方向の画素部毎に画素表示信号が並列に供給されて表示駆動されることになる。これら信号線駆動回路4および走査線駆動回路6により表示パネル駆動回路が構成される。

【0004】上記構成により、以下、その動作を説明する。

【0005】まず、システム内バス配線1を通してシステムへ入力された画像表示信号は、システム内バス配線1から記憶装置2に入力されて蓄えられる。この表示装置が表示パネル5に画像表示信号を表示する場合、記憶装置2に蓄えられた画像表示信号を読み出して、信号線を通して信号処理回路3へ転送する。転送されてきた画像表示信号は信号処理回路3で空間フィルタリングや内挿符号化などの信号処理が施されて、視認性のより良好な画像を構成するための画像表示信号へと変換された後、信号線aを通して信号線駆動回路4に入力される。この信号線駆動回路4に入力された画像表示信号は、走査線駆動回路6からの走査信号によって水平走査線が走査されて、表示パネル5の走査された横方向の画素部に対応する縦方向の画素部に画像表示信号を書き込んで表示する。この画像表示信号は、走査線駆動回路6によって水平走査線が走査されている表示パネル5に順次、一水平走査線分一括して入力される。

【0006】ここで、信号処理回路3では、記憶装置2から転送されてくる画像表示信号を表示パネル5に表示するために要求される時間内で信号処理を行い、信号線駆動回路4へ信号線aを介して転送しなければならない。したがって、画素数が高精細になり、画素数が多くなるに従って、信号処理回路3をより高速に動作させなければならない。

【0007】次に、表示パネル5に画像表示信号を書き込む信号線駆動回路4における従来例について説明する。

【0008】図8は図7の信号線駆動回路4の構成例を示すブロック図である。

【0009】図8において、クロックパルス入力線bとスタートパルス信号入力線cが接続される信号線駆動回路4内のシフトレジスタ11は、クロックパルス入力線bからのクロックパルスによってシフトレジスタ11の動作が制御され、スタートパルス信号入力線cからのスタートパルス信号はシフトレジスタ11内を転送されていく。さらに、画像表示信号の入力線である信号線aと、シフトレジスタ11の各段からの出力線dとが接続される各アナログスイッチ12はラインメモリ13に接続されており、シフトレジスタ11の各段からの出力で順次動作し、信号線aから入力される画像表示信号をラインメモリ13に分配する。このラインメモリ13とパルス信号入力線eが接続されるスイッチ回路14はデジ

タル／アナログコンバータ（以下D／Aコンバータという）15に接続され、パルス信号入力線eからのパルス信号によってスイッチ回路14を導通状態にし、ラインメモリ13に記憶された一水平走査線分のデジタル画像表示信号を一括してD／Aコンバータ15へ転送する。このD／Aコンバータ15の各出力段はそれぞれ表示パネル5の画像表示信号入力端子16に接続されている。

【0010】上記構成により、以下、その動作を説明する。

【0011】まず、シフトレジスタ11にクロックパルス入力線bからクロックパルスが入力されて、シフトレジスタ11が動作状態になる。さらに、スタートパルス信号入力線cからスタートパルスがシフトレジスタ11に入力されると、シフトレジスタ11によってスタートパルスは次段に順次送られていき、各段の出力線dから順次出力信号がアナログスイッチ12に出力され、アナログスイッチ12を順番に動作状態にしていく。これらクロックパルスおよびスタートパルスに同期して信号線aから画像表示信号がアナログスイッチ12に入力される。信号線aから入力される画像表示信号は順番に動作

状態になっているアナログスイッチ12を通してラインメモリ13へ分配されていく。一水平走査線分の画像表示信号がラインメモリ13に入力されると、信号線eからパルス信号がスイッチ回路14に入力され、スイッチ回路14が導通状態となって、ラインメモリ13に蓄えられている画像表示信号はD／Aコンバータ15へ転送されてアナログ画像表示信号に変換される。その後、このアナログ画像表示信号は、信号入力端子16をそれぞれ通して表示パネル5の画像を構成する各画素部に入力されて表示されることになる。

【0012】

【発明が解決しようとする課題】上記従来の画像表示規格については、その画素数が640×480で、フレーム周波数が60Hz程度であった。例えば、従来の仕様に基づいた画像について、ノイズの高周波成分を除去するために下記の式（数1）に示す平滑化フィルタを用いると、1画素について加算処理24回、乗算処理3回の計27回の演算処理が必要となる。

【0013】

【数1】

$$f(i,j) = g(i,j) * M(i,j) \quad \dots \text{式(数1)}$$

但し、 (i,j) ：位置 (i,j) における画素値

*：行列 $M(i,j)$ の要素の値に従って位置 (i,j) を中心とする25画素の画素値に重み付けを行った後に、その和を求め、新たに位置 (i,j) の画素値とする関数

$$g(i,j) = \begin{bmatrix} (i-2,j+2) & (i-1,j+2) & (i,j+2) & (i+1,j+2) & (i+2,j+2) \\ (i-2,j+1) & (i-1,j+1) & (i,j+1) & (i+1,j+1) & (i+2,j+1) \\ (i-2,j) & (i-1,j) & (i,j) & (i+1,j) & (i+2,j) \\ (i-2,j-1) & (i-1,j-1) & (i,j-1) & (i+1,j-1) & (i+2,j-1) \\ (i-2,j-2) & (i-1,j-2) & (i,j-2) & (i+1,j-2) & (i+2,j-2) \end{bmatrix}$$

$$M(i,j) = \frac{1}{35} \begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ 1 & 2 & 2 & 2 & 1 \\ 1 & 2 & 3 & 2 & 1 \\ 1 & 2 & 2 & 2 & 1 \\ 1 & 1 & 1 & 1 & 1 \end{bmatrix}$$

【0014】したがって、上記したように、画素数が640×480でフレーム周波数60Hz程度で処理しようとする、27×640×480×3×60=1.49×10⁹より毎秒1.49ギガの演算命令を処理する性能が必要となる。ところが、毎秒1.49ギガの演算命令を処理する性能を有する回路を作製するには、高周波クロックの発生回路を始めとする高価な高速化技術が必要とされていた。また、演算処理部における消費電力

についても非常に大きなものとなっていた。さらに、最近、従来の仕様より高精細の画像表示規格が提案されているが、これらの規格においては、画素数が1280×1080でフレーム周波数は60Hz程度の仕様が要求されている。したがって、高精細仕様の画像で従来仕様の画像で行った信号処理と同等の処理を行おうとすると、(1280×1080)／(640×480)=4.5より高精細仕様の画像の信号処理回路において

は、従来仕様の画像のそれと比べて4.5倍の速度が要求されることになる。即ち、毎秒6.72ギガ程度の演算命令を処理する性能が必要である。しかし、毎秒6.72ギガ程度の演算命令を処理する性能を有する回路を作製するには、従来仕様に比べてさらに高度な高速化技術が必要とし、また、消費電力の増大は一層深刻な問題となっていた。

【0015】このような信号処理速度を一定に保ったまま、演算処理速度および消費電力を低減する方法として複数の演算処理回路を設け、画像表示信号を並列に各々の演算処理回路にて処理させる方法がある。

【0016】以下、この並列化による効果を詳細に説明する。

【0017】回路内の充放電しなければならない容量C、回路の動作電源電圧V、クロック周波数fをとすると、回路内の充放電に伴う消費電力を近似的に $C \cdot V^2 \cdot f$ で表すことができる。例えば、並列度をnとする代わりに電源電圧を $1/m$ とすることによりクロック周波数を $1/n$ とすると(n、mは正の定数)、演算速度を一定に保ちつつ、 $1/m^2$ の低消費電力化が達成できる(但し、容量をnCと仮定する)。即ち、並列化に伴う容量の増加を最小限度に抑えつつ並列度を上げることが可能ならば、並列度を上げれば上げるほど消費電力は低減できる。

【0018】このような従来の方法による信号処理部の並列化の一例を図9に示す。

【0019】図9において、システムを制御する他の回路に接続されているシステム内バス配線21が接続される記憶装置22は、システム内バス配線21からの画像表示信号を蓄える。この記憶装置22が信号線を介して接続される並列信号処理回路23は、画像表示信号を記憶した記憶装置22から並列信号処理回路23に転送された画像表示信号を並列に信号処理する。この並列信号処理回路23が接続される信号線駆動回路24は表示パネル25に接続されており、また、走査線駆動回路26も表示パネル25に接続され、信号線駆動回路24に入力された画像表示信号は、走査線駆動回路26からの走査信号によって水平走査線が走査されて、表示パネル25の各画素に画像表示信号を書き込んで表示する。

【0020】このように、上記従来の方法によれば、並列信号処理回路23の信号処理演算部については、その並列度を上げれば上げるほど演算速度を低減することが可能となり、それに伴って消費電力を低減できるが、画像表示信号を分配、再配列するための回路については、信号処理演算部とは逆に並列度を上げれば上げるほどより高速に動作させなければならず、その消費電力は増大する。また、並列信号処理回路23の消費電力の中で大きな割合を占める、並列信号処理回路23を制御する高周波クロックについては、並列信号処理回路23に入力される画像表示信号のビットレートは変わらないた

め、並列化を行っても周波数を低下させることはできず、高周波クロック信号発生回路(図示せず)に関しては消費電力を低減することができない。

【0021】本発明は、上記従来の問題を解決するもので、画像表示信号処理回路の低消費電力化を実現できる表示駆動装置を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の表示駆動装置は、縦方向および横方向にそれぞれ複数設けられて画像を構成する画素部のうち該横方向の画素部に対応する該縦方向の画素部毎に画素表示信号を並列に供給して表示駆動する表示駆動装置において、該縦方向の画素部毎にそれぞれ対応するように、画素表示信号を並列に分配する画素信号分配部と、該縦方向および横方向にそれぞれ複数設けられた画素部のうち該縦方向の画素部毎に接続された各信号線との間に、該画素表示信号を演算処理して視認性を改善する信号処理部を並列に設けたものであり、そのことにより上記目的が達成される。

【0023】また、本発明の表示駆動装置は、縦方向および横方向にそれぞれ複数設けられて画像を構成する画素部のうち該横方向の画素部に対応する該縦方向の画素部毎に画素表示信号を並列に供給して表示駆動する表示駆動装置において、該縦方向の画素部毎にそれぞれ対応するように、圧縮画素表示信号を並列に分配する画素信号分配部と、該画素信号分配部で分配した圧縮画素表示信号を伸長処理する信号伸長処理部と、該信号伸長処理部で伸長処理した画素表示信号を演算処理して視認性を改善する並列信号処理部とを備え、該並列信号処理部の出力端をそれぞれ、該縦方向および横方向にそれぞれ複数設けられた画素部のうち該縦方向の画素部毎に接続された各信号線に接続したものであり、そのことにより上記目的が達成される。

【0024】さらに、好ましくは、本発明の表示駆動装置における信号処理部は、それぞれの入力画素表示信号について、該入力画素表示信号および、該入力画素表示信号と隣接する入力画素表示信号を変数とする関数演算を全ての画素について同一関数で行い、該入力画素表示信号をそれぞれの演算結果へ変換する構成とする。例えば、本発明の表示駆動装置における信号処理部は、入力画素表示信号を変数とする関数演算を全ての画素部について、例えば高周波成分除去用の平滑フィルタの同一関数で行う構成とする。また、本発明の表示駆動装置における信号処理部は、隣接する入力画素表示信号間を補間処理することによって、該入力画素表示信号間の中間位置に新たな画素表示信号を生成し、該生成した画素表示信号を該入力画素表示信号間の信号線に供給する構成とする。

【0025】上記構成により、以下、その作用を説明する。

【0026】本発明においては、信号処理部を画素信号

分配部と各信号線の間に並列に設けることにより、従来の並列信号処理部において必要であった画像表示信号を分配・再配列するための回路を不要なものとしてでき、また、画素信号分配部の次段の並列信号処理部において、並列に入力されてきた画像表示信号は、それぞれ順次クロック制御されずに演算処理が行われた後、例えばD/Aコンバータに転送されるため、従来の信号処理部の消費電力のなかで大きな割合を占めていた信号処理部を制御する高周波クロック信号発生回路を不要なものとしてでき、表示駆動装置の大幅な低消費電力化、および部品点数の簡略化が可能となる。

【0027】また、画像表示信号において高効率の圧縮を行うことにより、画質の劣化は免れないが、本発明においては、画素信号分配部の次段の信号伸長処理部の後に画質の修復を行う並列信号処理部を設けているために、高効率の圧縮が行われた画像表示信号においても低消費電力でかつ低コストを維持した状態で、画質の劣化なく視認性の良好な画像が得られる。

【0028】さらに、信号処理部を、例えば平滑フィルタで構成すれば、ノイズの高周波成分が除去可能となり、また、周辺画素に基づく補間処理により新たな画素表示信号を生成すれば、その分、縦方向の画素列を増やすことが可能となり、高精細な画像が得られ、視認性の良好な画像が得られる。

【0029】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0030】（実施形態1）図1は本発明の実施形態1の表示駆動回路を搭載した表示装置の構成を示すブロック図である。

【0031】図1において、データ転送用のシステム内バス31が接続された記憶装置32は、システム内バス31からの画像表示信号を蓄える。この記憶装置32が信号線Aを介して接続される信号線駆動回路33は表示パネル34の信号線に接続されており、また、走査線駆動回路35は表示パネル34の走査線に接続され、信号線Aを介して信号線駆動回路33に入力された画像表示信号は、走査線駆動回路35からの走査信号によって水平走査線が走査されて、表示パネル34の各画素に画像表示信号を書き込んで表示する。この信号線駆動回路33内には、ノイズの高周波成分を除去するために上記式（数1）に示す平滑化フィルタを用いた並列信号演算処理を行う並列信号処理回路36が設けられており、画素表示信号を演算処理して視認性を改善する。

【0032】このように、並列信号処理回路36が信号線駆動回路33内に設けられており、並列信号処理回路36より得られる出力結果が複数本あり、それらは全て表示パネル34の縦方向の各画素毎に接続された信号線毎に並列に配置された画像表示信号入力端子42にそれぞれ接続されている。

【0033】図2は図1の信号線駆動回路33の構成を示すブロック図である。

【0034】図2において、クロックパルス入力線Bとスタートパルス信号入力線Cが接続される信号線駆動回路33内のシフトレジスタ37は、クロックパルス入力線Bからのクロックパルスによってシフトレジスタ37の動作が制御され、スタートパルス信号入力線Cからのスタートパルス信号はシフトレジスタ37内を転送されていく。さらに、画像表示信号の入力線である信号線Aと、シフトレジスタ37の各段からの出力線Dとが接続される各アナログスイッチ38はラインメモリ39に接続されており、シフトレジスタ37の各段の出力線Dからの出力で順次動作し、信号線Aから入力される画像表示信号をラインメモリ39に分配する。これらシフトレジスタ37、各アナログスイッチ38およびラインメモリ39により画素信号分配部が構成され、縦方向の画素部毎にそれぞれ対応するように、画素表示信号を並列に分配する。

【0035】このラインメモリ39とパルス信号入力線Eが接続されるスイッチ回路40は並列信号処理回路36としての平滑化処理回路に接続され、パルス信号入力線Eからのパルス信号によってスイッチ回路40を導通状態にし、ラインメモリ39に記憶された一水平走査線分のデジタル画像表示信号を一括して並列信号処理回路36に転送し、並列信号処理回路36で画素表示信号を並列信号演算処理して視認性を改善する。

【0036】この並列信号処理回路36が接続されるD/Aコンバータ41の各出力段はそれぞれ表示パネル34の画像表示信号入力端子42に接続され、並列信号処理回路36で並列信号演算処理を行った後、D/Aコンバータ41でデジタル画像表示信号をアナログ画像表示信号に変換して表示信号として表示パネル34の信号線に供給している。

【0037】本実施形態では、表示パネル34として画素数1280×1080で1画素の階調は256段階、つまり8ビット画像表示信号を使用する構成とした。フレーム周波数は60Hzである。

【0038】上記構成により、以下、その動作を説明する。

【0039】まず、信号線Bからクロックパルスが入力され、シフトレジスタ37が動作状態になる。さらに、信号線Cからスタートパルスが入力されると、シフトレジスタ37によってスタートパルスは次段に順次送られていき、出力線Dから順次出力信号が出力され、アナログスイッチ38を順番に動作状態にしていく。これらクロックパルスおよびスタートパルスに同期して、信号線Aから画像表示信号が入力される。この信号線Aから入力された画像表示信号は順番に動作状態になっているアナログスイッチ38を通してラインメモリ39へと分配されていく。このようにして、一水平走査線分の画像表

示信号がラインメモリ39に入力されると、信号線Eからパルス信号がスイッチ回路40に入力されて導通状態になり、ラインメモリ39に蓄えられていた画像表示信号は並列信号処理回路36へと並列に転送される。このようにして、一水平走査線分毎に送られてきた画像表示信号は、並列信号処理回路36にて並列に上記式(数1)に示す平滑化処理が行われた後、D/Aコンバータ41へ転送され、アナログ画像表示信号に変換された後、信号入力端子42を通して表示パネル34に入力される。

【0040】このように、並列信号処理回路36を表示パネル34の画像表示信号入力部分に並列に設けることにより、図9の並列信号処理回路において必要であった画像表示信号を分配、再配列するための回路を不要なものとする事ができる。また、この並列信号処理回路36において、並列に入力されてきた画像表示信号は、各々順次クロック制御されずに演算処理が行われた後、D/Aコンバータ41へと転送されるため、従来の画像表示信号処理回路の消費電力の中で大きな割合を占めていた画像表示信号処理回路を制御する高周波クロック信号発生回路を不要とすることができる。

【0041】したがって、本実施形態において、並列信号処理回路36における演算速度を逐次処理を行う場合と比べて約1/1000に低減することができた。これにより、従来例において3.3Vであった電源電圧を1.1Vとすることができた。また、画像表示信号を分配、再配列するための回路や画像表示信号処理回路を制御する高周波クロック信号発生回路を不要とすることができた。この結果、従来の信号処理回路と比べて、本実施形態の並列信号処理回路36の消費電力は約1/10になった。これにより、表示装置の消費電力、さらにはコストの大幅な削減が可能となった。

【0042】(実施形態2) 図3は本発明の実施形態2

の表示駆動回路を搭載した表示装置の構成を示すブロック図であり、図1の構成部材と同様の作用・効果を奏するものには同様の符号を付けてその説明を省略する。

【0043】図3において、信号線駆動回路51内には、周辺の画素に基づいて補間処理を施すことにより新たな画素を構成してより高精細な画像を得る並列信号処理回路52が設けられている。この並列信号処理回路52は、例えば、隣接する入力画素表示信号間を補間処理することによって、この入力画素表示信号間の中間位置に新たな画素表示信号を生成し、生成した画素表示信号を入力画素表示信号間に位置する信号線に供給する。

【0044】本実施形態では、表示パネル54として画素数1280×1080で1画素の階調は256段階、つまり8ビット画像表示信号を使用するものを用いた。フレーム周波数は60Hzである。また、補間処理のための演算としては畳み込み演算を用いた。

【0045】この畳み込み演算について説明する。

【0046】即ち、y方向、x方向の順に補間処理をするものとし、並列信号処理回路52において、赤(R)、緑(G)、青(B)の位置(x, y)における各画素の輝度情報を各々 $f_R(x, y)$ 、 $f_G(x, y)$ 、 $f_B(x, y)$ (xは0から1279までの整数、yは0から1079までの整数)、y方向についての補間処理後の輝度情報を $g_R(x, y')$ 、 $g_G(x, y')$ 、 $g_B(x, y')$ (y'は、0から2159までの整数)、x方向についての補間処理後の輝度情報を $h_R(x', y')$ 、 $h_G(x', y')$ 、 $h_B(x', y')$ (x'は、0から2559までの整数)とすると、 $f_R(x, y)$ について下記の式(数2)なる演算を行う。

【0047】

【数2】

$$\left\{ \begin{array}{l} \bullet y' = 0, 2, 4 \cdots 2158 \\ g_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot f_R(x, \frac{y'}{2} - l) \\ \bullet y' = 1, 3, 5 \cdots 2159 \\ g_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot f_R(x, \frac{(y'-1)}{2} - l) \end{array} \right. \cdots \text{式(数2)}$$

【0048】この式(数2)の演算を行った後、さらに、下記の式(数3)なる演算を行う。

【0049】

【数3】

$$\left\{ \begin{array}{l} \bullet x' = 0, 2, 4 \dots 2558 \\ h_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot g_R\left(\frac{x'}{2} - l, y'\right) \\ \bullet x' = 1, 3, 5 \dots 2559 \\ h_R = \sum_{l=-\frac{N}{2}}^{\frac{N}{2}} a_{2l} \cdot g_R\left(\frac{x'-1}{2} - l, y'\right) \dots \text{式(数3)} \end{array} \right.$$

【0050】この式(数3)の演算を行い、補間処理を完了する。

【0051】また、 $f_G(x, y)$ 、 $f_B(x, y)$ についても同様の計算を行う。

【0052】なお、式(数2)および式(数3)中に示

す a_{2l} は $2l=i$ とすると式(数4)に示す関数を量子化した値の i 番目を表している。

【0053】

【数4】

$$\rho(t) = \sqrt{2} \sum_{k=-\infty}^{\infty} (-3+2\sqrt{2})^{|k|} \psi(t-k) \dots \text{式(数4)}$$

$$t=i/2 \quad (i=-N, \dots, 0, \dots, N)$$

$$\psi(t) = \begin{cases} \frac{1}{2} \left(t + \frac{3}{2}\right)^2 & -\frac{3}{2} \leq t \leq -\frac{1}{2} \\ \frac{3}{4} - t^2 & -\frac{1}{2} \leq t \leq \frac{1}{2} \\ \frac{1}{2} \left(t - \frac{3}{2}\right)^2 & \frac{1}{2} \leq t \leq \frac{3}{2} \\ 0 & \text{Other range} \end{cases}$$

【0054】なお、本実施形態において、上記式(数2)および式(数3)において、補間処理の際の参照画素数を表す定数 N について $N=6$ とした。

【0055】図4は図3の信号線駆動回路51の構成を示すブロック図であり、図2の構成部材と同様の作用・効果を奏するものには同様の符号を付けてその説明を省略する。

【0056】図4において、スイッチ回路40が接続される並列信号処理回路52としての補間処理回路はD/Aコンバータ53に接続され、このD/Aコンバータ53の各出力段はそれぞれ表示パネル54の画像表示信号入力端子55に接続されており、スイッチ回路40はラインメモリ39より出力した一水平走査線分のデジタル画像表示信号を並列信号処理回路52へ並列に転送し、並列信号処理回路52で一括して補間処理を行い、デジタル画像表示信号をアナログ画像表示信号に変換して表示信号として表示パネル54の縦方向の各画素毎に接続

される信号線にそれぞれ供給している。

【0057】上記構成により、以下、その動作を説明する。

【0058】まず、信号線Bからクロックパルスが入力され、シフトレジスタ37が動作状態になる。さらに、信号線Cからスタートパルスが入力されると、シフトレジスタ37によってスタートパルスは次段に順次送られていき、シフトレジスタ37の各出力線Dから順次出力信号が出力され、各アナログスイッチ38を順番に動作状態にしていく。これらクロックパルスおよびスタートパルスに同期して、信号線Aから画像表示信号が入力される。この信号線Aから入力された画像表示信号は順番に動作状態になっているアナログスイッチ38を通して、ラインメモリ39に分配されていく。一水平走査線分の画像表示信号がラインメモリ39に入力されると、信号線Eからスイッチ回路40にパルス信号が入力され、スイッチ回路40は導通状態になり、ラインメモリ

39に蓄えられていた画像表示信号は並列信号処理回路52に転送される。このようにして、一水平走査線分毎に送られてきた画像表示信号は、並列信号処理回路52にて上記した式(数2)および式(数3)に示す畳み込み演算による補間処理が行われた後、D/Aコンバータ53へ転送され、アナログ画像表示信号に変換される。その後、このアナログ画像表示信号は、信号入力端子55を通して表示パネル54の各画素に入力されて画像表示される。

【0059】したがって、本実施形態では、並列信号処理回路52における演算速度を逐次処理を行う場合と比べて約1/1000に低減することができた。これにより、従来例において3.3Vであった電源電圧を1.1Vとすることができた。また、画像表示信号を分配、再配列するための回路や並列信号処理回路52を制御する高周波クロック信号発生回路を不要とすることができた。この結果、従来の並列信号処理回路と比べて、本実施形態の並列信号処理回路の消費電力は約1/10となった。これにより、表示装置の低消費電力化さらにはコストの大幅な削減が可能となった。

【0060】(実施形態3)図5は本発明の実施形態3の表示駆動回路を搭載した表示装置の構成を示すブロック図であり、図1の構成部材と同様の作用・効果を奏するものには同様の符号を付けてその説明を省略する。

【0061】図5において、圧縮された画像表示信号が信号線Aを介して入力される信号線駆動回路61内には、圧縮された信号を伸長する信号伸長処理回路62と、この信号伸長処理回路62が接続され、上記実施形態1に示した空間フィルタリング処理を行う並列信号処理回路36が設けられている。

【0062】本実施形態では、表示パネル63として画素数1280×1080で1画素の階調は256段階、つまり、8ビット画像表示信号を使用するものを用いた。フレーム周波数は60Hzである。また、画像表示信号の圧縮方法としては、ベクトル量子化法を用いた。

【0063】以下、圧縮アルゴリズムの概要を示す。

【0064】まず、縦4×横4=16画素のブロックを表現する16次元ベクトル $X = (x_0, x_1, x_2, \dots, x_{15})$ が、予め用意されている256個の16次元コードベクトル $C_k = (c_0, c_1, c_2, \dots, c_{15})$ (但し、 $k = 0, 1, \dots, 255$)のどれに最も近いかを2つのベクトル $(X - C_k)$ 間の距離 $\sum (x_i - c_i)^2$ (但し、 $i = 0, 1, \dots, 15$)を計算することにより求める。次に、最も近いコードベクトルで16画素1ベクトルを近似する。したがって、16画素×8=128ビットの画像情報は256個のコードベクトルを識別するための8ビットの数により表されることになり、1/16の圧縮を達成する。

【0065】図6は図5の信号線駆動回路61の構成を示すブロック図であり、図2の構成部材と同様の作用・

効果を奏するものには同様の符号を付けてその説明を省略する。

【0066】図6において、スイッチ回路40が接続される信号伸長処理回路62、この信号伸長処理回路62が接続される並列信号処理回路36はD/Aコンバータ64に接続され、このD/Aコンバータ64の各出力段はそれぞれ表示パネル63の画像表示信号入力端子65に接続されており、スイッチ回路40はラインメモリ39より出力した一水平走査線分のデジタル画像圧縮信号を信号伸長処理回路62に転送し、上記したアルゴリズムにて圧縮された画像表示信号を信号伸長処理回路62で信号伸長して元に戻し、さらに、これを並列信号処理回路36へ並列に転送し、並列信号処理回路36で一括して、ノイズの高周波成分を除いて視認性を改善するために平滑化処理を行い、デジタル画像表示信号をアナログ画像表示信号に変換して表示信号として表示パネル63の各画素に接続される信号線にそれぞれ供給している。

【0067】上記構成により、以下、その動作を説明する。

【0068】まず、信号線Bからクロックパルスが入力され、シフトレジスタ37が動作状態になる。さらに、信号線Cからスタートパルスが入力されると、シフトレジスタ37によってスタートパルスは次段に順次送られていき、出力線Dから順次出力信号が出力され、各アナログスイッチ38を順番に動作状態にしていく。これらクロックパルスおよびスタートパルスに同期して、信号線Aから圧縮された画像表示信号が入力される。この信号線Aから入力された圧縮画像表示信号は、順番に動作状態になっているアナログスイッチ38を通して、ラインメモリ39へ分配されていく。一水平走査線分の画像表示信号がラインメモリ39に入力されると、信号線Eからパルス信号が入力され、スイッチ回路40が導通状態となり、ラインメモリ39に蓄えられている画像表示信号は信号伸長処理回路62へ転送される。このようにして、ラインメモリ39より一水平走査線分毎に転送されてきた圧縮画像表示信号は、信号伸長処理回路62にて、以下のような伸長処理が行われる。

【0069】まず、信号伸長処理回路62に、256個のコードベクトル C_k を識別するための8ビットの圧縮画像表示信号が一水平走査線分、即ち水平走査線方向に対して320個入力される。信号伸長処理回路62は、64個のユニットにより構成されており、各ユニットは信号表示パネル63への信号入力線20本分に相当するデータ、即ち、 $4 \times 4 = 16$ 画素ブロック5個分を処理するように構成されている。この信号伸長処理回路62の64個のユニットは並列に動作し、各ユニット内で5個の画素ブロックそれぞれがコードベクトルを検索し、該当する $4 \times 4 = 16$ 画素分のコードベクトルを得る。

【0070】しかし、上記アルゴリズムにより圧縮/伸

長された画像は、原画像に対して大きな損失を伴う。特に、伸長後の画像に見られる高周波ノイズ成分は、人間の視認性の大きな妨げとなる。そこで、次段に並列信号処理回路36を設けて、平滑化フィルタにより高周波ノイズ成分の除去を行う。

【0071】まず、信号伸長処理回路62にて伸長処理を行った画像表示信号は並列信号処理回路36に転送され、この並列信号処理回路36にて上記式(数1)に示す平滑化処理が実施形態1に示すように表示パネル入力端子65に対して並列に行われ、高周波ノイズ成分が除去される。さらに、この後、画像表示信号は、D/Aコンバータ64へ転送され、アナログ画像表示信号に変換された後、信号入力端子65をそれぞれ通して表示パネル63の各画素に入力されて画像表示される。

【0072】本実施形態において、画像転送時および、画像表示装置の駆動回路内で取り扱う画像表示信号のデータ量は、従来例の1/16である。したがって、画像表示部の信号線充放電回数も1/16に減少し、電力消費を大幅に低減することが可能となった。また、圧縮された画像表示信号の伸長処理を64個のユニットにて並列に行うため、伸長処理を行う演算速度を逐次処理する場合に比べて約1/64とすることができる。さらに、高周波クロックを発生する回路が不要となり、信号伸長処理回路62の低消費電力化さらには低コスト化が実現される。さらに、一般に、高効率の圧縮を行った後、画質の劣化は免れないが、本実施形態においては、信号伸長処理回路62の後に画質の修復を行う低消費電力かつ低コストの並列信号処理回路36を設けているために、高効率の圧縮が行われた画像表示信号においても低消費電力かつ低コストを維持したまま、表示パネル63において視認性の良好な画像を得ることができる。本実施形態においては、信号伸長処理回路62および並列信号処理回路36の演算処理速度を並列処理により低減することによって、電源電圧を3.3Vから1.1Vへと低減することができた。これにより、表示装置の消費電力は、従来例と比較して、約1/8に低減することができた。さらには、コストについても大幅に削減することができた。

【0073】なお、以上により上記実施形態1〜3において各々、本発明の一実施形態を示したものであり、並列信号処理回路の演算はこれにこだわるものではなく、その他の演算を行っても構わない。また、複数の並列信号処理回路を直列に並べても構わない。さらに、上記実施形態3に用いた圧縮アルゴリズムについても本実施形

態においてはベクトル量子化法を用いたがこれにこだわるものではなく、その他のアルゴリズムを用いても構わない。さらに、表示装置の構成についてもこれにこだわるものではなく、その他の構成を採用しても構わない。

【0074】

【発明の効果】以上により本発明によれば、画素信号分配部と各信号線の間に、視認性を改善する信号処理回路を並列に設けることにより、従来、並列信号処理回路に必要とされていた、高速に信号を分配・再配列するための回路が不要となり、並列化に伴う回路付加を最小限度に抑制しつつ信号処理回路の並列度を大きくすることができ、また、従来の高周波クロック発生回路についても不要となるため、表示駆動装置の大幅な低消費電力化を実現することができ、さらには部品点数が簡略化されて低コスト化を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の表示駆動回路を搭載した表示装置の構成を示すブロック図である。

【図2】図1の信号線駆動回路33の構成を示すブロック図である。

【図3】本発明の実施形態2の表示駆動回路を搭載した表示装置の構成を示すブロック図である。

【図4】図3の信号線駆動回路51の構成を示すブロック図である。

【図5】本発明の実施形態3の表示駆動回路を搭載した表示装置の構成を示すブロック図である。

【図6】図5の信号線駆動回路61の構成を示すブロック図である。

【図7】従来の表示装置の構成例を示すブロック図である。

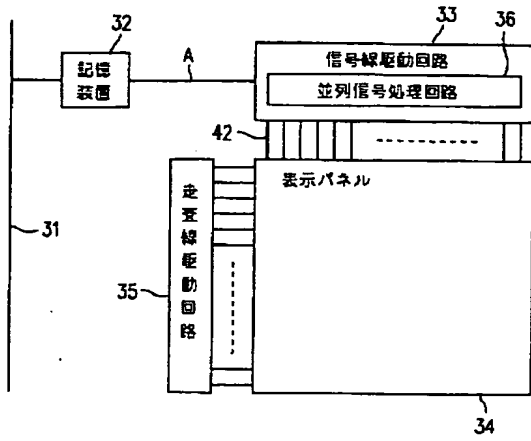
【図8】図7の信号線駆動回路4の構成例を示すブロック図である。

【図9】従来の方法による信号処理部の並列化の一例を示す図である。

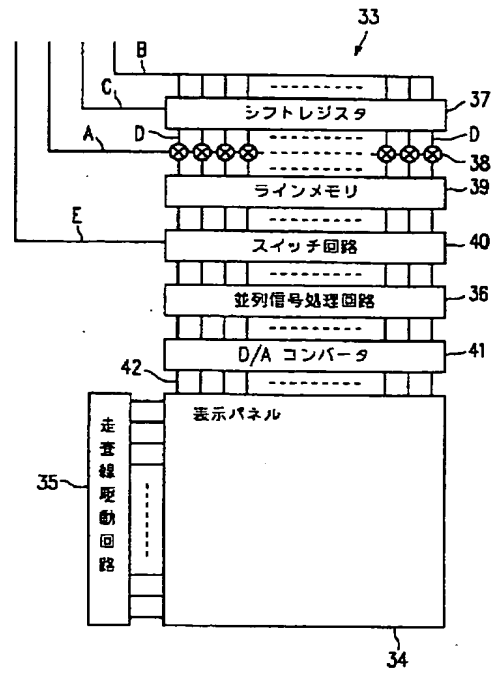
【符号の説明】

33, 51, 61	信号線駆動回路
34, 54, 63	表示パネル
36, 52	並列信号処理回路
37	シフトレジスタ
38	アナログスイッチ
39	ラインメモリ
40	スイッチ回路
41, 53, 64	D/Aコンバータ
62	信号伸長処理回路

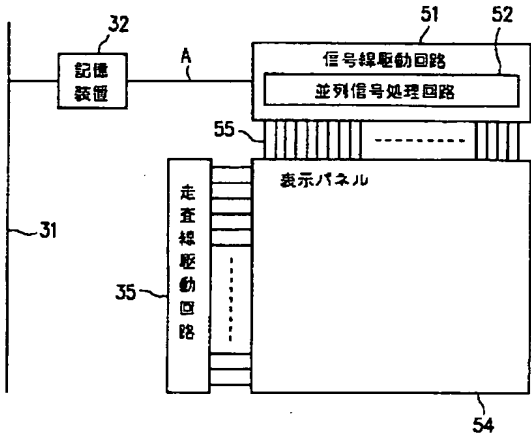
【図1】



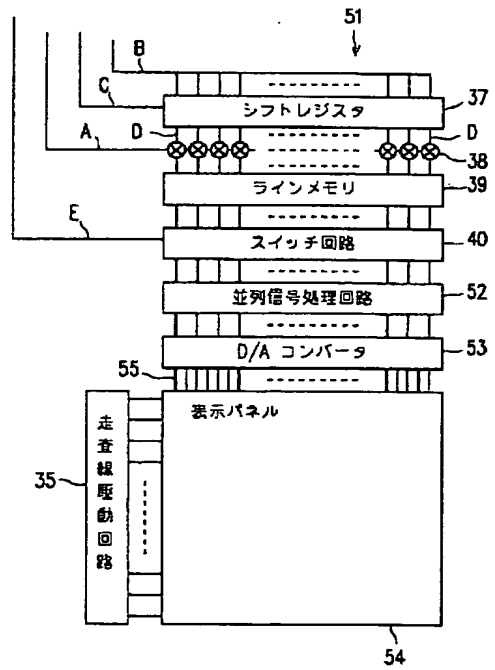
【図2】



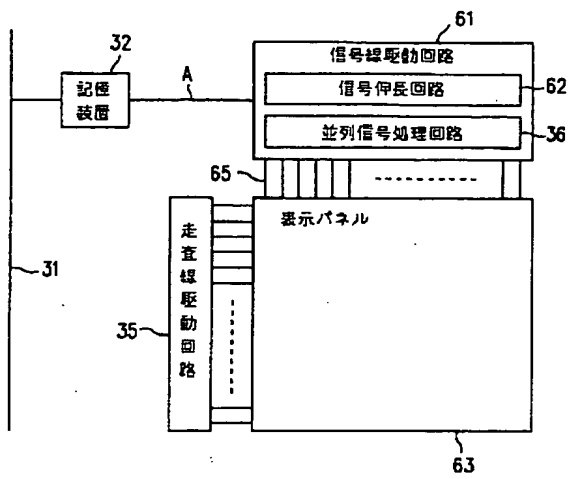
【図3】



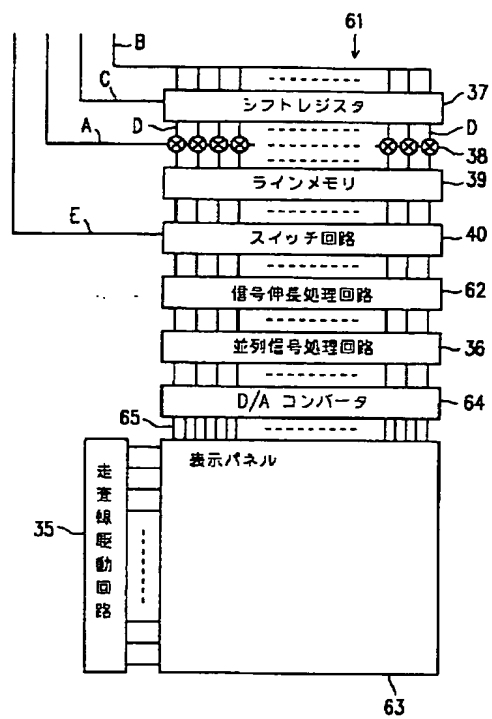
【図4】



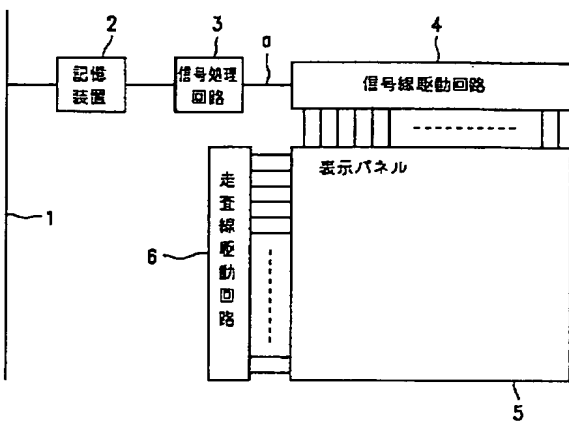
【図5】



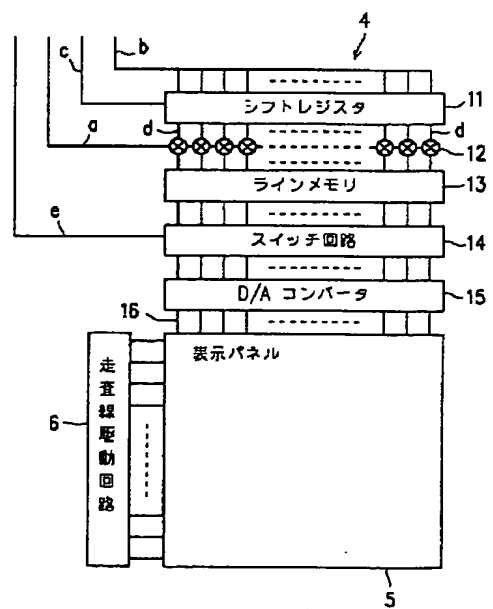
【図6】



【図7】



【図8】



【図 9】

